

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-226347

(43)Date of publication of application : 03.09.1993

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 03-295355

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1991

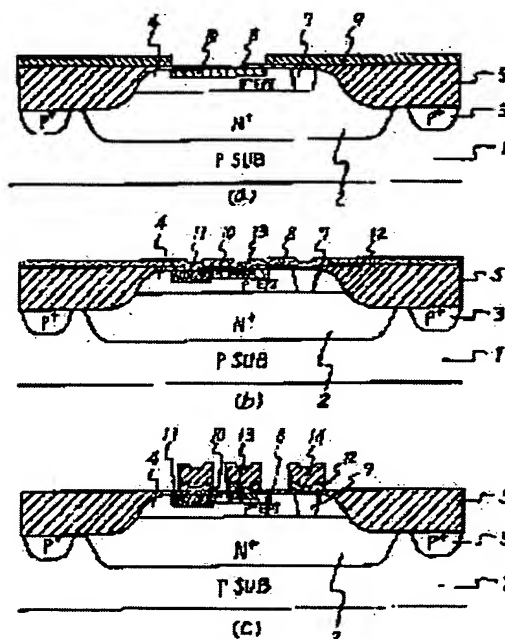
(72)Inventor : AKIYAMA OSAMU

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the collector-base capacity of a semiconductor device so as to increase the working speed of the device by forming an element separating area which has a second semiconductor area of an reverse-conductivity type formed in the thickness direction of a substrate from the surface of one conductivity type semiconductor layer to a semiconductor buried layer of the reverse conductivity type and surrounds all areas.

**CONSTITUTION:** An element separating area 5 is formed by forming an N<sup>+</sup>-type buried area 2 and P<sup>+</sup>-type semiconductor buried area 3 on a P-type semiconductor substrate 1 and a low-doped P--type epitaxial layer 4 on the areas 2 and 3. In addition, a base area 10, base extraction area 11, collector area 7, and emitter area 13 are formed and polycrystalline silicon 12 and aluminum wiring 14 are provided in the layer 4. Therefore, the collector-base capacitance can be reduced and the operating speed of a transistor can be increased, because a depletion layer can be expanded over the entire area from the layer 2 to the layer 4 during operation.



## LEGAL STATUS

[Date of request for examination] 31.10.1995

[Date of sending the examiner's decision of rejection] 10.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

505p0006w000

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-226347

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/331  
29/73

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平3-295355

(22)出願日 平成3年(1991)11月12日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 秋山 修

東京都港区芝五丁目7番1号日本電気株式  
会社内

(74)代理人 弁理士 京本 直樹 (外2名)

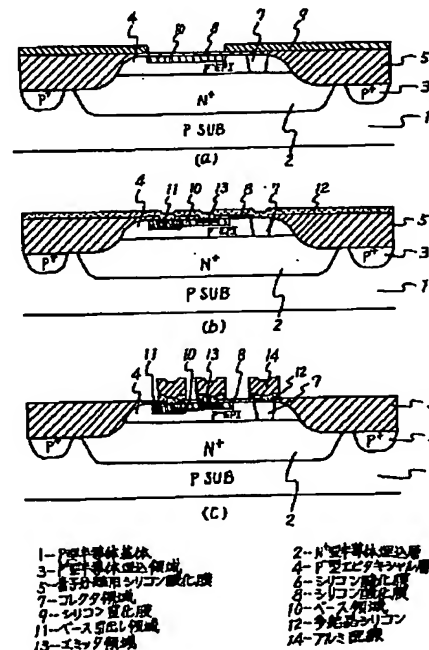
(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【目的】コレクタ・ベース間容量を低減して動作速度を大とす。

【構成】P型半導体基体1上にN<sup>+</sup>型埋込層2とP<sup>+</sup>型半導体埋込領域とを形成し、その上に濃度の低いP<sup>-</sup>型エピタキシャル層4を成長させ、素子分離領域5を設け前記P<sup>-</sup>型エピタキシャル層4の中にベース領域10、ベース引き出し領域11、コレクタ領域7、エミッタ領域13を形成し、多結晶シリコン12、アルミ配線14が施されている。

【効果】動作中にN<sup>+</sup>型半導体埋込層2からP<sup>-</sup>型エピタキシャル層4の全面に空乏層が広がるようにすることができ、コレクタ・ベース間容量が大幅に低減され、トランジスタの高速動作が可能となる。



## 【特許請求の範囲】

【請求項1】 一導電型半導体基体の素子領域に反対導電型半導体埋込層を形成し、該反対導電型半導体埋込層上に、該半導体基体より低濃度の一導電型半導体層を形成し、該一導電型半導体層内に該半導体層よりも高濃度の一導電型半導体領域を形成し、該一導電型半導体領域内に第1の反対導電型半導体領域を形成し、該一導電型半導体層の表面から前記反対導電型半導体埋込層までの基板の厚み方向に形成される第2の反対導電型半導体領域を有し、前記すべての領域を囲む素子分離領域が形成されたことを特徴とする半導体装置。

【請求項2】 前記反対導電型半導体埋込層から前記一導電型半導体層内に、半導体装置の動作時に、広がる空乏層が前記一導電型半導体層の全面に到達する程度に前記一導電型半導体層の不純物濃度が設定された請求項1に記載の半導体装置。

【請求項3】 前記一導電型半導体領域はバイポーラトランジスタのベース領域であり、前記第1の反対導電型半導体領域はエミッタ領域であり、前記反対導電型半導体埋込層および前記第2の反対導電型半導体領域がコレクタ領域である請求項1もしくは請求項2に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係わり、特にバイポーラトランジスタの構造に関する。

【0002】

【従来の技術】従来のバイポーラトランジスタは、図4に示すようにP型半導体基体1にN<sup>+</sup>型半導体埋込層2を形成した後、N<sup>-</sup>型エピタキシャル層19を成長させ、さらに素子分離領域に酸化膜を形成した後、ベース領域10、エミッタ領域13を形成している。ここでN<sup>-</sup>型エピタキシャル層は、そのままコレクタ領域として用いている。

【0003】

【発明が解決しようとする課題】この従来の半導体装置では、コレクタ領域とベース領域及び、ベース引出し領域の接合面積が大きいため、コレクタ・ベース間の接合容量が大きくなり、トランジスタの動作速度が遅くなる欠点があった。

【0004】

【課題を解決するための手段】本発明の特徴は、一導電型半導体基体の素子領域に反対導電型半導体埋込層を形成し、該反対導電型半導体埋込層上に、該半導体基体より低濃度の一導電型半導体層を形成し、該一導電型半導体層内に該反対導電型半導体層よりも高濃度の一導電型半導体領域を形成し、該一導電型半導体領域内に第1の反対導電型半導体領域を形成し、該一導電型半導体層の表面から前記反対導電型半導体埋込層までの基板の厚み方向に形成される第2の反対導電型半導体領域を有し、

前記すべての領域を囲む素子分離領域が形成された半導体装置にある。

【0005】この半導体装置の動作中に、前記反対導電型半導体埋込層から前記一導電型半導体層内に広がる空乏層が前記一導電型半導体層の全面に到達する程度に前記一導電型半導体層の不純物濃度を設定しておくことが好ましい。

【0006】具体的には、前記一導電型半導体領域はバイポーラトランジスタのベース領域であり、前記第1の反対導電型半導体領域はエミッタ領域であり、前記反対導電型半導体埋込層および前記第2の反対導電型半導体領域がコレクタ領域であることができる。

【0007】

【実施例】次に本発明について図面を参照して説明する。図1(a)～(d)および図2(a)～(c)は本発明の第1の実施例の半導体装置を製造する工程断面図である。

【0008】図1(a)はP型半導体基体1にN<sup>+</sup>型半導体埋込層2と絶縁分離用P<sup>+</sup>型半導体埋込領域3を形成したものである。次に半導体基体1より低濃度のP<sup>-</sup>型エピタキシャル層4を成長させると図1(b)となる。次に素子分離用シリコン酸化膜5を形成しシリコン酸化膜6を成長させ図1(c)となる。次に、フォトリソ技術によりシリコン酸化膜の一部を除去し、リンを拡散しN型のコレクタ領域7を形成すると図(d)になる。次にシリコン酸化膜6を全面除去し、新たにシリコン酸化膜8及びシリコン窒化膜9を成長させ、フォトリソ技術によりシリコン窒化膜9の一部を除去し、シリコン酸化膜8を通してボロンをイオン注入しP型ベース領域10を形成すると図2(a)になる。次にシリコン窒化膜9を全面除去しフォトリソ技術により、酸化膜8の一部を除去してベース、エミッタ、コレクタコンタクト用の開口を形成した後、多結晶シリコン12を成長させ、ベースコンタクト上にボロンをイオン注入し、エミッタ及びコレクタコンタクト上にヒ素をイオン注入した後、熱処理を行い多結晶シリコン12からのボロンおよびヒ素をそれぞれ拡散して、P<sup>+</sup>型ベース引出し領域11とN<sup>+</sup>型エミッタ領域13を形成すると図2(b)になる。次にアルミ14をスパッタした後、フォトリソ技術により、アルミ14及び多結晶シリコン12の一部を除去して多結晶シリコン12を下地とするアルミ配線14を形成すると図2(c)の構造となる。

【0009】図2(c)の構造のトランジスタが動作時に、N<sup>+</sup>半導体埋込層から空乏層がP<sup>-</sup>型エピタキシャル層4の上部まで広がるようにP<sup>-</sup>型エピタキシャル層4の不純物濃度が制御されれば、ベース引出し領域11及びベース領域10とN<sup>+</sup>型半導体埋込層2との間の容量つまりベース・コレクタ接合容量が大幅に低減される。

【0010】図3は本発明の第2の実施例を示す断面図である。図3において、図1、図2と同じ機能、類似の機能の箇所は同一の符号で示している。図1(a)、

(b)と同様にP型半導体基体1にN<sup>+</sup>型半導体埋込層2と絶縁分離用P<sup>+</sup>型半導体埋込領域を形成し、その上に低濃度のP<sup>-</sup>型エピタキシャル層4を成長させた後、トレンチ15によって素子間分離を行ないさらに、セルフアライン技術を用いて、P型ベース領域10、P<sup>+</sup>型ベース補償領域11、N<sup>+</sup>型エミッタ領域13、イオン注入によってエミッタ領域13の直下に配置されるN型半導体領域20、多結晶シリコン12による引出し電極を形成した高速動作トランジスタである。この種のトランジスタに適用すると、ベース領域10及びベース補償領域11とコレクタ領域2との間の容量低減だけでなく、従来無視できなかった多結晶シリコン12によるベース引出し電極とコレクタ領域との容量が、従来のN<sup>-</sup>型エピタキシャル層19からP<sup>-</sup>型エピタキシャル層4にかわることで大幅に低減可能となる。

【0011】

【発明の効果】以上説明したように、本発明は一導電型半導体基板の素子領域に反対導電型半導体埋込層を形成した後、一導電型エピタキシャル層を成長させ、次に素子分離領域を作り該一導電型エピタキシャル層の上にベース領域、ベース補償領域、エミッタ領域を形成し、トランジスタの動作時に前記反対導電型半導体埋込層から広がる空乏層を前記一導電型エピタキシャル層の全面に到達させることで、ベース・コレクタ接合容量を減少させトランジスタの動作速度を上げることが可能となる。特に、ベース引出し領域とコレクタ領域間の容量は従来\*

\*のトランジスタと比較して3分の1以下にすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を製造する工程断面図。

【図2】本発明の第1の実施例を製造する工程断面図。

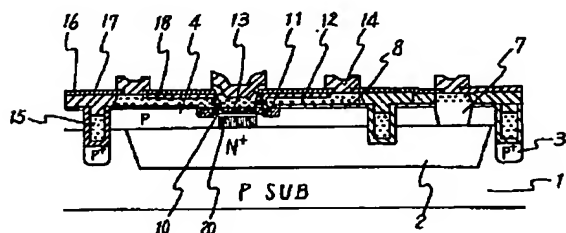
【図3】本発明の第2の実施例の構造を示す断面図。

【図4】従来技術の構造を示す断面図。

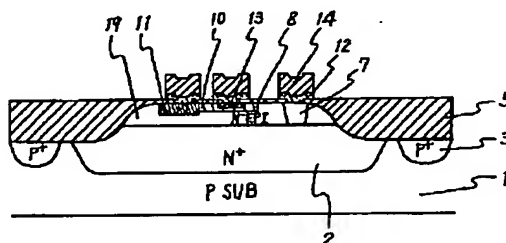
【符号の説明】

- |    |                          |
|----|--------------------------|
| 1  | P型半導体基体                  |
| 2  | N <sup>+</sup> 型半導体埋込層   |
| 3  | P <sup>+</sup> 型半導体埋込領域  |
| 4  | P <sup>-</sup> 型エピタキシャル層 |
| 5  | 素子分離用シリコン酸化膜             |
| 6  | シリコン酸化膜                  |
| 7  | コレクタ領域                   |
| 8  | シリコン酸化膜                  |
| 9  | シリコン窒化膜                  |
| 10 | ベース領域                    |
| 11 | ベース引出し領域                 |
| 12 | 多結晶シリコン                  |
| 13 | N <sup>+</sup> 型エミッタ領域   |
| 14 | アルミ配線                    |
| 15 | トレンチ                     |
| 16 | シリコン酸化膜                  |
| 17 | シリコン窒化膜                  |
| 18 | シリコン酸化膜                  |
| 19 | N <sup>-</sup> 型エピタキシャル層 |
| 20 | N型半導体領域                  |

【図3】



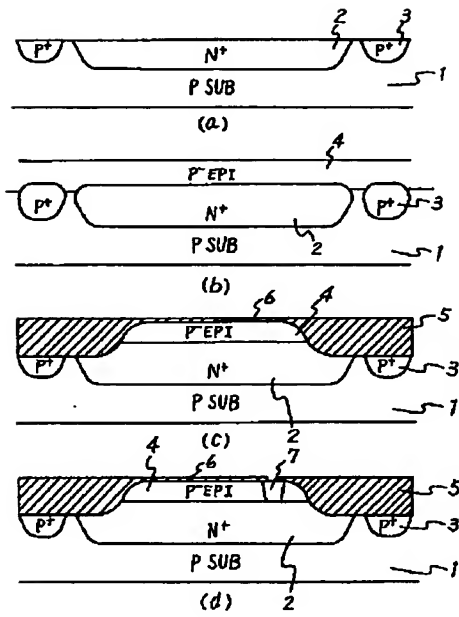
【図4】



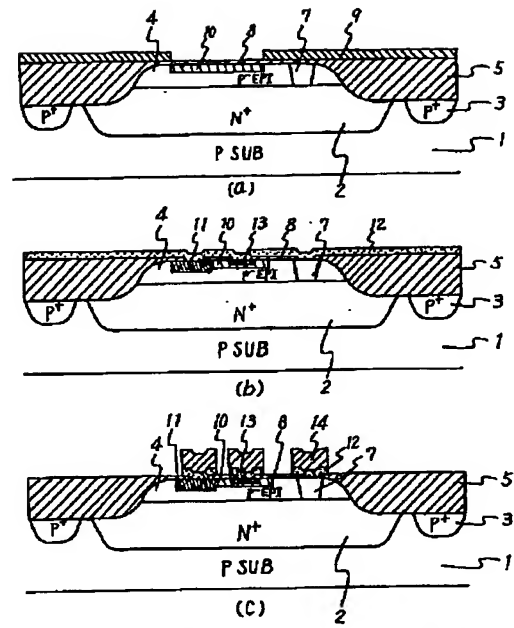
- 1-P型半導体基体  
2-N<sup>+</sup>型半導体埋込層  
3-P<sup>+</sup>型半導体埋込領域  
4-P<sup>-</sup>型エピタキシャル層  
5-素子分離用シリコン酸化膜  
6-シリコン酸化膜  
7-コレクタ領域  
8-シリコン酸化膜  
9-シリコン窒化膜  
10-ベース領域  
11-ベース引出し領域  
12-多結晶シリコン  
13-エミッタ領域  
14-アルミ配線  
15-トレンチ  
16-シリコン酸化膜  
17-シリコン窒化膜  
18-シリコン酸化膜  
19-N<sup>-</sup>型エピタキシャル層  
20-N型半導体領域

- 1-P型半導体基体  
2-N<sup>+</sup>型半導体埋込層  
3-P<sup>+</sup>型半導体埋込領域  
4-P<sup>-</sup>型エピタキシャル層  
5-素子分離用シリコン酸化膜  
6-シリコン酸化膜  
7-コレクタ領域  
8-シリコン酸化膜  
9-シリコン窒化膜  
10-ベース領域  
11-ベース引出し領域  
12-多結晶シリコン  
13-エミッタ領域  
14-アルミ配線  
15-トレンチ  
16-シリコン酸化膜  
17-シリコン窒化膜  
18-シリコン酸化膜  
19-N<sup>-</sup>型エピタキシャル層  
20-N型半導体領域

【図1】



【図2】



- |              |              |
|--------------|--------------|
| 1-P型半導体基板    | 2-N型半導体埋込層   |
| 3-P型半導体埋込領域  | 4-P型エピタキシャル層 |
| 5-窒素化シリコン酸化膜 | 6-シリコン酸化膜    |
| 7-コレクタ領域     | 8-シリコン酸化膜    |
| 9-シリコン酸化膜    | 10-ベース領域     |
| 11-ベース引出し領域  | 12-多結晶シリコン   |
| 13-エミッタ領域    | 14-AlSi配線    |